

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-121448

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H01L 21/316

(21)Application number : 09-282413

(71)Applicant : NATL RES INST FOR METALS

(22)Date of filing : 15.10.1997

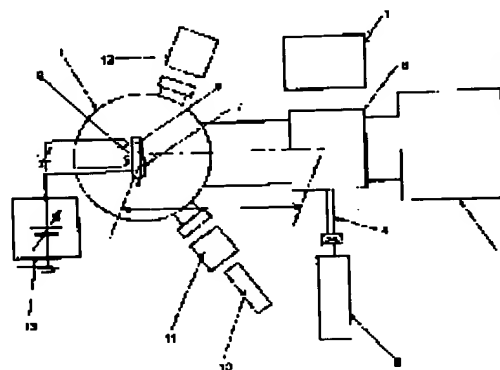
(72)Inventor : KITAJIMA MASAHIRO  
KAMIOKA ISAO

## (54) MANUFACTURE OF EXTRA-THIN SILICON OXIDATION FILM EXPRESSING MOS CHARACTERISTICS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an extra-thin silicon oxidation film that is created at ambient temperature and expresses MOS characteristics, by plasma-oxidizing a surface of a silicon substrate under constant ambient temperature with positive or negative voltage applied to the silicon substrate or without applying voltage.

**SOLUTION:** A vacuum chamber 1 is exhausted by a pump 2 and it keeps at vacuum pressure. O<sub>2</sub> gas accumulated in O<sub>2</sub> gas bomb 5 is introduced to a plasma-generating region 6 through O<sub>2</sub> gas supply line 4 and plasma-oxidized by driving a plasma generator 3 controlled by a power controller. A silicon substrate 7, where an oxidation film is created on its surface, installed on a susceptor 8 that is capable of applying positive or negative voltage to a vacuum chamber 1 grounded and negative bias voltage is applied by a power source 13 for a substrate voltage. When increasing temperature of the susceptor 8 more than ambient temperature for material baking, it is heated by flowing an electric current through a resistance wire 9.



### LEGAL STATUS

[Date of request for examination] 15.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3345636

[Date of registration] 06.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121448

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.<sup>8</sup>  
H 0 1 L 21/316

識別記号

F I  
H 0 1 L 21/316

S

審査請求 有 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平9-282413  
(22) 出願日 平成9年(1997)10月15日

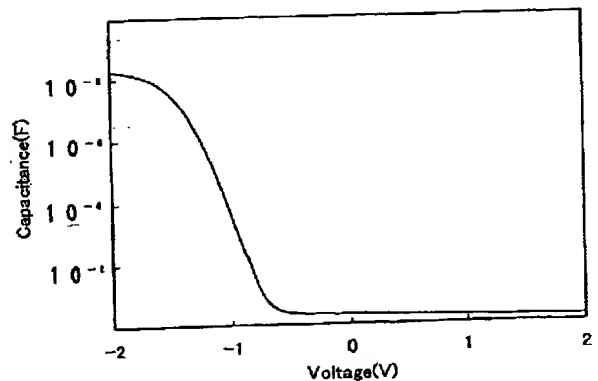
(71) 出願人 390002901  
科学技術庁金属材料技術研究所長  
茨城県つくば市千現一丁目2番1号  
(72) 発明者 北島 正弘  
茨城県つくば市千現1丁目2番1号 科学  
技術庁金属材料技術研究所内  
(72) 発明者 上岡 功  
茨城県つくば市千現1丁目2番1号 科学  
技術庁金属材料技術研究所内

(54) 【発明の名称】 MOS特性を発現する極薄シリコン酸化膜の製造方法

(57) 【要約】

【課題】 MOS特性を発現する極薄シリコン酸化膜を室温において製造する。

【解決手段】 プラズマプロセスを用いた酸化膜生成方法において、シリコン基板に正・負バイアス電圧を印加し、さらにシリコン基板を室温に保持する。



## 【特許請求の範囲】

【請求項1】 シリコン基板に正または負バイアス電圧を印加し、もしくは印加することなしに、シリコン基板を室温に保持して、シリコン基板表面をプラズマ酸化することを特徴とするMOS特性を発現する膜厚10nm以下の極薄シリコン酸化膜とその製造方法。

【請求項2】 生成される酸化膜厚が5nm以下である請求項1の製造方法。

【請求項3】 シリコン基板表面にあって、MOS特性を発現する膜厚10nm以下の極薄シリコン酸化膜。

【請求項4】 酸化膜厚が5nm以下の請求項3の極薄シリコン酸化膜。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この出願の発明は、MOS特性を発現する極薄シリコン酸化膜の製造方法とこの方法により得られる極薄シリコン酸化膜に関するものである。さらに詳しくは、この出願の発明は、シリコン表面の酸化絶縁膜の生成方法として有用なMOS特性を発現する極薄シリコン酸化膜の製造方法とこの方法により得られる極薄シリコン酸化膜に関するものである。

## 【0002】

【従来の技術とその課題】 従来より、極薄シリコン酸化膜の生成方法として、熱酸化膜生成方法が知られているが、近年、半導体デバイスの縮小化に伴い、膜厚10nm以下、さらには5nm以下の極薄シリコンの生成プロセスの確立が急務とされている。そこで、極薄領域において実用可能な酸化膜を得るには、均質性を保ちながら膜厚を高精度（誤差1Å以下）に制御する必要があるため、O<sub>2</sub> ガスのプラズマプロセスによってシリコン酸化種を供給する方法（以下プラズマ酸化と略称）によって極薄酸化膜を生成する試みがなされてきた。

【0003】 しかしながら、従来のプラズマ酸化方法においては、実用可能な酸化膜を得るためには、基板に正バイアスを加えるとともに、基板温度を500K以上に保つことが必要とされているため、この条件では、酸化膜成長速度が速すぎ、酸化膜厚が極薄領域である場合には膜厚の制御が困難であり、また、基板温度が高すぎるために酸化膜成長中に基板中に存在する不純物の拡散を阻止できない等の問題点があった。さらに、従来の方法によって生成された酸化膜は、膜厚が20～30nmと厚い(D. A. Carl et al., J. Appl. Phys., 70, 3301(1991))という問題があった。このため、従来では、酸化膜を室温で生成し、膜厚5nm以下の領域においてMOS（金属-酸化膜-半導体）特性を発現する酸化膜は得られていない。

【0004】 そこで、この出願の発明は、室温で生成できるMOS特性を発現する極薄シリコン酸化膜とその製造方法を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 この出願の発明は、上記の課題を解決するものとして、シリコン基板に正または負バイアス電圧を印加し、もしくは印加することなしに、シリコン基板を室温に保持してシリコン基板表面をプラズマ酸化することを特徴とするMOS特性を有する膜厚10nm以下の極薄シリコン酸化膜の製造方法（請求項1）を提供する。

【0006】 さらに、この出願の発明は、酸化膜厚が5nm以下であることを特徴とする上記製造方法（請求項2）を提供する。また、この出願の発明は、シリコン基板表面において、MOS特性を発現する膜厚10nm以下の極薄シリコン酸化膜（請求項3）と、さらには膜厚が5nm以下の極薄シリコン酸化膜（請求項4）をも提供する。

## 【0007】

【発明の実施の形態】 この出願の発明では、プラズマ酸化において基板に正または負バイアスを印加することによって酸化成長速度をコントロールし、これによって極薄領域での膜厚制御性を向上させ、さらに、基板温度を室温に保つことによって、不純物の拡散を阻止している。

【0008】 このことにより、MOS特性を発現する、膜厚が10nm以下、さらには5nm以下の極薄のシリコン酸化膜が提供されることになる。このような室温レベルでの極薄シリコン酸化膜のプラズマ酸化による生成は、これまでの公知の技術や知見からは全く想到できなかったものであり、この発明の優位性は特筆されるものである。

【0009】 以上の極薄シリコン酸化膜の生成については、排気して減圧し、いわゆる真空状態（たとえば $1 \times 10^{-5}$ Pa以下の圧力）とすることのできる真空チャンパー内において、シリコン基板に正・負バイアスを印加することのできる手段を備え、シリコン基板をプラズマ酸化することのできる各種の態様の装置、システムが採用される。

【0010】 プラズマ酸化のための手段としては、たとえばマイクロ波、高周波等の励起により生成させたプラズマ、あるいはECRプラズマ、さらにはこれら各種プラズマ生成手段により生成させたプラズマからのプラズマ粒子の輸送を介して供給したもの等として適宜なものを採用することができる。この場合のプラズマ酸化のためには、酸素含有ガスが用いられることになる。酸素ガスがその代表的なものとして示されるが、この発明のプラズマ酸化を阻害しない限り、希ガスやN<sub>2</sub> という不活性ガス等を共存させてもよい。

【0011】 シリコン基板に印加されるバイアス電圧については、一般的には-100～+100V程度、さらに好ましくは-60～+60V程度を目安とすることができる。さらには、-60～+10Vの程度の範囲、たとえば負バイアスの電圧が適当なものとして例示され

る。

【0012】従来ではバイアス電圧の印加は膜の均質性を損なうものとして好ましくないと考えられてきたが、この発明における基板温度を室温とする方法では、バイアス電圧は印加しなくともよいし、あるいは印可してもよい。特に負バイアス電圧ないしは60V程度までの正バイアス電圧の印加はより顕著に効果を生じる。また、プラズマ酸化については、装置、システムの方式や規模によっても相違するが、一般的には、酸素ガス(O<sub>2</sub>)のプラズマ生成のための励起電力は800W程度まで、シリコン基板表面域でのプラズマ密度は $6 \times 10^{11} / \text{cm}^3$ 程度まで、たとえば $1 \times 10^5 \sim 6 \times 10^{11} / \text{cm}^3$ 等の範囲を目安とすることができる。

【0013】なお、シリコン基板については、予めベーキングして表面清浄化処理を行うようにしてもよい。以下、実施例を示し、さらに詳しくこの発明について説明する。

#### 【0014】

【実施例】添付した図面の図1は、この発明を実施するシステムの一例を示したものである。たとえば、この図1に示したように、真空チャンバー(1)はポンプ(2)によって排気され、真空中に保たれる。O<sub>2</sub>ガスボンベ(5)に蓄えられたO<sub>2</sub>ガスは、その供給ライン(4)からプラズマ発生領域(6)に導入され、パワーコントローラによって制御されるプラズマ発生装置(3)の作動によってプラズマ化される。

【0015】表面に酸化膜が生成されるシリコン基板(7)は、アースである真空チャンバー(1)に対して正・負の電位を印加可能なサセプター(8)に配設され、基板電圧印加用電源(13)によって負バイアス電圧が印加される。試料ベーキングのために、サセプター(8)の温度を室温以上に上昇させる場合には、抵抗線(9)に電流を流すことで加熱することができる。

【0016】また、基板表面上に生成した酸化膜は、エリプソメータ用光源(10)、エリプソメータ用入射光学系(11)、エリプソメータ用受光装置(12)から構成されるエリプソメータによって、その膜厚が測定される。添付した図面の図2は、この発明によって生成した酸化膜厚と酸化時間の関係を示したものである。

【0017】図1において、プラズマ発生領域(6)の中心点から真空チャンバー(1)のシリコン基板(7)の表面までの距離(L)は約100mmとし、供給ライン(4)からO<sub>2</sub>ガスの供給を行い、プラズマ発生装置

(3)での励起電力は200~600W(プラズマ密度 $10^7 \sim 10^8 / \text{cm}^3$ )、そして、サセプター(8)を介してのバイアス電圧の範囲は、-60~+60Vとした。

【0018】この条件下においては、図2に示したように、酸化膜厚は5nm以下の領域で膜厚制御が可能となった。また、生成した酸化膜の膜厚の均質性は0.1nm以下であった。また、添付した図面の図3は、この発明の方法によって生成した酸化膜(印加バイアス電圧-60V、基板温度は室温において生成した膜厚2.8nm)のMOS特性(キャパシタンスー電圧特性)を示したものである。

【0019】図3に示したように、この発明によって生成された酸化膜は、良好なMOS特性を示していた。

#### 【0020】

【発明の効果】以上詳しく説明したように、この出願の発明によって、シリコン基板のプラズマ基板のプラズマ酸化プロセスにおいて、室温において、MOS特性を発現する極薄酸化膜の生成が可能とされる。

#### 【図面の簡単な説明】

【図1】この発明を実施する装置システムの一例を示したものである。

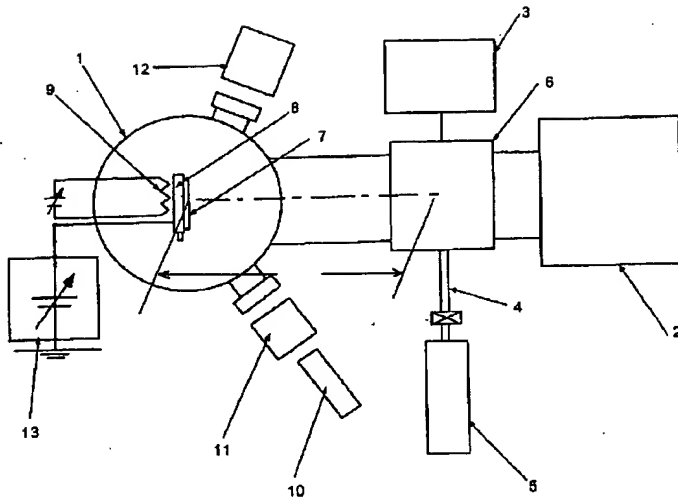
【図2】この発明によって生成した酸化膜厚と酸化時間の関係を示した図である。

【図3】この発明の方法によって生成した酸化膜(印加電圧-60V、室温で生成した膜厚2.8nm)のMOS特性(キャパシタンスー電圧特性)を示した図である。

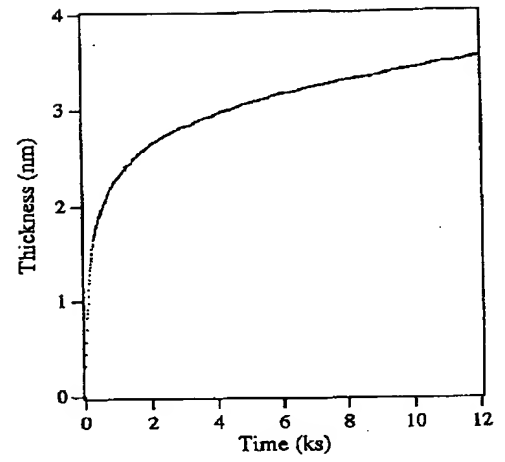
#### 【符号の説明】

- 1 真空チャンバー
- 2 ポンプ
- 3 プラズマ発生装置
- 4 O<sub>2</sub>ガスの供給ライン
- 5 O<sub>2</sub>ボンベ
- 6 プラズマ発生領域
- 7 シリコン基板
- 8 サセプター
- 9 抵抗線
- 10 エリプソメータ用光源
- 11 エリプソメータ用入射光学系
- 12 エリプソメータ受光装置
- 13 基板電圧印加用電源

【図1】



【図2】



【図3】

